

CLIPPEDIMAGE= JP362268165A
PAT-NO: JP362268165A
DOCUMENT-IDENTIFIER: JP 62268165 A
TITLE: FIELD EFFECT TRANSISTOR

PUBN-DATE: November 20, 1987

INVENTOR-INFORMATION:

NAME

ITO, TOMOHIRO

KASAHARA, TAKEMOTO

OHATA, KEIICHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP61112171

APPL-DATE: May 15, 1986

INT-CL (IPC): H01L029/80

US-CL-CURRENT: 257/192

ABSTRACT:

PURPOSE: To obtain an ultra-high-frequency InP FET having high withstanding voltage and a high output by forming a non-doped GaAs layer onto an InP layer on a semi-insulating substrate and shaping a gate electrode controlling a channel formed to the InP layer and a source electrode and a drain electrode brought into ohmic contact with the InP layer onto the non-doped GaAs layer.

CONSTITUTION: N-type InP 2 is grown on a semi-insulating InP substrate 1 in 0.2 μ m through a vapor phase epitaxial method. A non-doped GaAs layer 6 is grown in 200 \AA through a molecular beam epitaxial method, non-doped GaAs 6 in an ohmic contact section is removed through etching, and lastly a gate electrode 3 and source-drain electrodes 4, 5 are shaped through a normal method, thus realizing a field effect transistor. Since the interface level density of the interface of GaAs 6 and InP 2 is made extremely smaller than the

GaAs on InP insulating

interface of the insulator 1 and InP 2, the surface Fermi level of InP can transfer through the whole band gap, and channel charges in InP can be modulated largely by a gate via, thus also acquiring a depletion type FET. Accordingly, an ultra-high-frequency InP FET having high withstanding voltage and a high output can be realized.

COPYRIGHT: (C)1987, JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-268165

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月20日

H 01 L 29/80

Q-8122-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特 願 昭61-112171

⑰ 出 願 昭61(1986)5月15日

⑱ 発 明 者	伊 東	朋 弘	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	笠 原	健 資	東京都港区芝5丁目33番1号	日本電気株式会社内
⑳ 発 明 者	大 畑	恵 一	東京都港区芝5丁目33番1号	日本電気株式会社内
㉑ 出 願 人	日本電気株式会社			東京都港区芝5丁目33番1号
㉒ 代 理 人	弁理士 内 原 晋			

明 細 書

1. 発明の名称 電界効果トランジスタ

2. 特許請求の範囲

半絶縁性基板上にN型InP層を設け、該InP層上にノンドープGaAs層を設け、該ノンドープGaAs層上に前記InP層に形成されるチャネルを制御するゲート電極と前記InP層にオーム性接触するソース電極及びドレイン電極を具備したことを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電界効果トランジスタ、特にInP動作層を用いた電界効果トランジスタに関する。

〔従来技術〕

InP半導体結晶は電子の飽和速度が大きく、また熱伝導率がGaAsの3倍程度大きいことから超高速素子、特に高出力用の超高周波素子材料とし

て注目され、これを用いた電界効果トランジスタ(FET)の検討がいくつか行なわれている。

第4図は例えばバレラ(Barrera)及びアーチャー(Archer)により米国の雑誌アイ・イー・イー・イー、トランス オン エレクトロン デバイス(IEEE, Trans. on Electron. Devices, vol. ED-22, No.11, Nov.1975, pp.1023-1030)に報告された従来技術によるショットキーゲートを用いた電界効果トランジスタ(MESFET)の基本構造を示す断面図で、1は半絶縁性InP基板、2はNチャネルInP動作層、3はゲート電極、4はソース電極、5はドレイン電極である。

一方、第5図はライル(Lile)等によってエレクトロニクス レター誌(Electron. Lett, vol. 14, pp.657-659, Sept.1978)に報告されたSiO₂膜をゲート絶縁膜に用いたMIS(Metal-Insulator-Semiconductor)型ゲート電界効果トランジスタ(MISFET)の構造断面図で第4図と同一部分は同一番号をつけてある。但し、2'はN⁺InPコンタクト層で、7はSiO₂膜である。

〔発明が解決しようとする問題点〕

ところで、前記構造の InP を用いた FET では、まず MESFET の場合、ゲート電極と N 型 InP 動作層の間のショットキー接合のバリアハイトが $0.3 \sim 0.4$ eV 程度しかなく従って逆方向のリーク電流が大きい、ゲート耐圧が小さい等、実用上大きな問題点があった。

一方、 SiO_2 等の絶縁層を用いた MISFET では前述のリーク電流の問題はないものの界面単位が大きく良好な特性を得るのが困難であり、特にミッドギャップ (Mid gap) から価電子帯に向けて界面単位が極めて大きく、従ってフルミレベルが Mid gap から伝導帯近くの間しか変化しないために、ディプレッションモードの動作を得るのが困難で、大きな電流をとる必要のある高出力系子ができないなど多くの問題を有している。

本発明の目的は、上述の問題点を解消し、高耐圧・高出力の超高周波 InP FET を提供することである。

界面には 0.33 eV の伝導帯の不連続があり InP 中の電子はこのバリアによって GaAs 中へ拡散することはない。一方 GaAs のゲートメタルに対するバリアハイトは約 0.8 eV あり、従ってゲートのリーク電流についてもこの大きなバリアによって十分小さくすることができる。すなわち、上述のことから明らかな様に本発明により InP に対する実効的なショットキーゲートのバリアハイトを大きくすることができ、かつ伝導帯不連続の存在によりゲートをある程度順方向にバイアスしてもゲートを流れる電流を十分小さくすることができる。

一方、絶縁物と InP との界面に比べて GaAs と InP の界面の界面単位密度は極めて小さく、従って InP の表面フルミレベルはバンドギャップ中全体を動くことができゲートバイアにより InP 中のチャネル電荷を大きく変調することができてディプレッション型の FET も得られる。

以上の様にリーク電流の小さい高電流のとれる高出力・高耐圧 InP FET が容易に実現できる。

〔問題点を解決するための手段〕

本発明によれば半絶縁性基板上に N 型 InP 層を設け、該 InP 層上にノンドープ GaAs 層を設け、該ノンドープ GaAs 層上に前記 InP 層に形成されるチャネルを制御するゲート電極と前記 InP 層にオーミック接触するソース電極及びドレイン電極を具備したことを特徴とする電界効果トランジスタが得られる。

〔作用〕

以下、本発明を実施例を用いて詳細に説明する。第 1 図は本発明による電界効果トランジスタの構造断面図である。第 4 図と同一構成部分には同じ番号を付してある。但し、6 はノンドープ GaAs 層である。また、この時の熱平衡状態でのゲート電極下のエネルギー帯図を第 2 図に示す。ここで、21 はゲート電極の領域、22 はノンドープ GaAs 層、23 は N チャネル InP 動作層、24 は半絶縁性 InP 基板の領域をあらわす。第 2 図に示す様に GaAs と InP の電子親和度は 0.33 eV 程度の違いがあり InP の方が大きいために、GaAs と InP の

〔実施例〕

本実施例の電界効果トランジスタの製造方法の一例を第 1 図を用いて説明する。

まず半絶縁性 InP 基板 1 上に例えば気相成長エビタキシー法 (VPE 法) により不純物濃度 $1 \times 10^{17} \text{ cm}^{-3}$ の N 型 InP を $0.2 \mu\text{m}$ 成長する。次に例えば分子線エビタキシー法 (MBE 法) によりノンドープ GaAs 層を 200 \AA 成長してオーミックコンタクト部のノンドープ GaAs をエッチング除去する。最後に通常の方法でゲート電極及びソース・ドレイン電極を形成して電界効果トランジスタが実現できる。

第 3 図は本発明による電界効果トランジスタのゲート・ソース間の電流 - 電圧特性を示したもので、図には従来技術によるショットキーゲートの電界効果トランジスタにおける電流 - 電圧特性も示してある。図に示す様に従来技術に比べて、本発明による電界効果トランジスタのソース・ゲート間電流 - 電圧特性は実効的な立上り電圧が大きく、しかも逆方向の電流も小さく、耐圧もきわめ

て大きく、良好な特性が得られた。

一方トランジスタ動作も従来のMISFETでは実現できなかった良好なディプレッション型のInP FETが実現でき、ゲート特性とあわせて従来技術では困難であった高出力・高耐圧のFETが得られた。

〔発明の効果〕

以上の説明から明らかな様に、本発明によれば高耐圧・高出力の超高周波InP FETが実現でき、今後の通信・情報技術に寄与するところが極めて大である。

2…Nチャネル InP 動作層

2'…N⁺InP コンタクト層

3…ゲート電極

4…ソース電極

5…ドレイン電極

6…アンドープGaAs層

7…SiO₂膜

である。

代理人 弁理士 内原



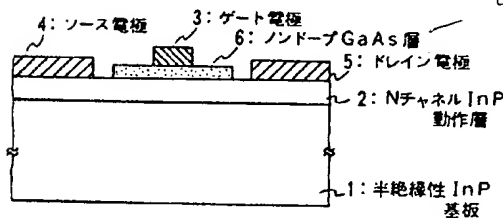
4. 図面の簡単な説明

第1図は本発明による電界効果トランジスタの構造断面図、第2図はゲート電極下のエネルギー帯図、第3図はソース・ゲート間の電流-電圧特性、第4図第5図は各々は従来技術による電界効果トランジスタの構造断面図である。

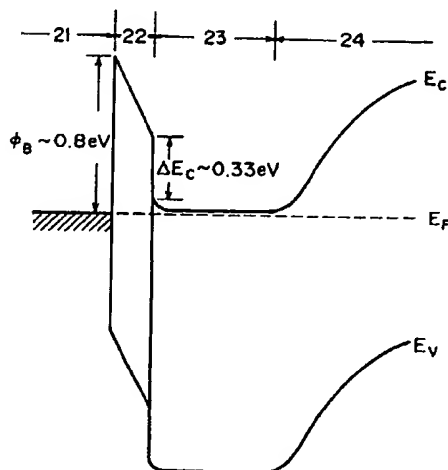
図において、

1…半絶縁性 InP 基板

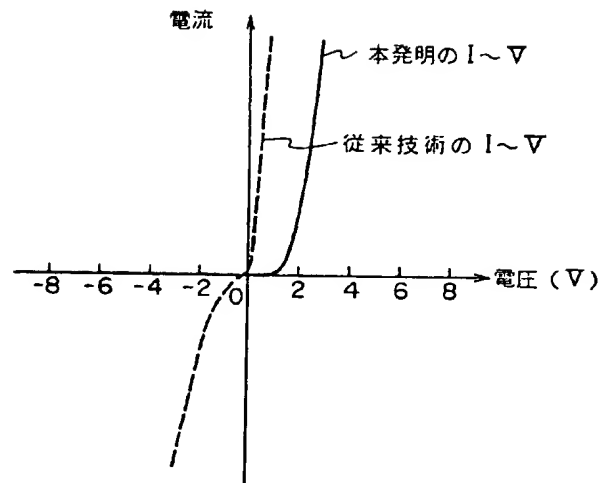
第 1 図



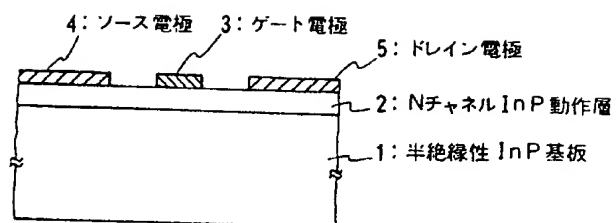
第 2 図



第 3 図



第 4 図



第 5 図

